

INTRODUZIONE AI CONTATORI

Introduzione

I contatori sono dispositivi fondamentali nell'elettronica digitale e sono utilizzati per:

- Conteggio di eventi
- Divisione di frequenza
- Temporizzazioni

Principi di funzionamento

Per comprendere il principio di funzionamento di questi dispositivi consideriamo lo schema seguente (Figura 1) che mostra un FF-JK utilizzato come FF-T con l'ingresso posto al valore 1 logico:

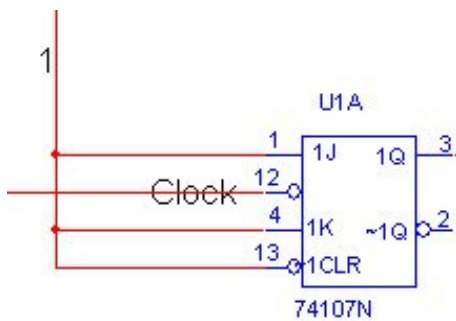


Figura 1

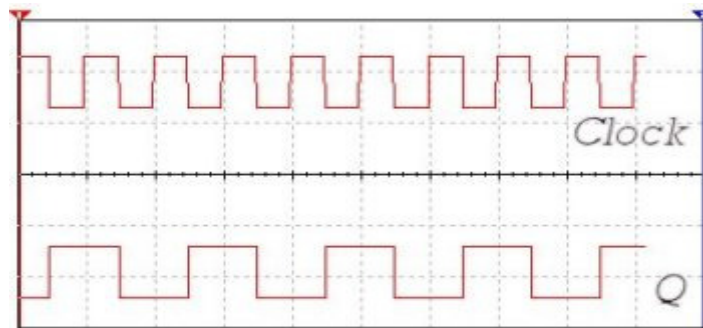


Figura 2

Ricordando il funzionamento del FF-T con ingresso a 1, per ogni fronte attivo del clock l'uscita Q commuta ad un valore pari al complemento del valore all'istante che precede il fronte del clock stesso (se Q precedente = 0 Q commuterà a 1, viceversa se Q precedente = 1 Q commuterà a 0). Questo circuito è quindi in grado di contare degli eventi corrispondenti al verificarsi di un fronte attivo del clock fino ad un massimo di 2 eventi (0, 1).

Analizzando il circuito attraverso le forme d'onda (Figura 2) e tenendo conto che il fronte attivo di clock per il FF scelto è quello di discesa si può notare come la frequenza del segnale associato all'uscita Q sia la metà di quella di clock. Ciò è coerente con il fatto che avviene una commutazione ogni T secondi con T pari al periodo di clock, quindi l'uscita Q resterà a 0 per un tempo T e a 1 per lo stesso periodo. Il periodo complessivo del segnale Q sarà $2T$, corrispondente ad una frequenza $1/(2T)$ pari alla metà di quella di clock.

Quanto appena osservato dimostra l'impiego dei contatori come divisori di frequenza e, dato il legame di inversa proporzionalità tra frequenza e periodo, misuratori di tempo (discretizzato) in termini di numero di periodi di clock.

Contatori binari

Compresi i principi di base occorre vedere come sia possibile realizzare un contatore per un numero di eventi superiore a due.

L'idea è quella di utilizzare l'uscita Q, a frequenza pari alla metà di quella di clock, oltre che come risultato di conteggio, come clock di un circuito uguale a quello di Figura 1. Il dispositivo risultante è mostrato in figura 4.

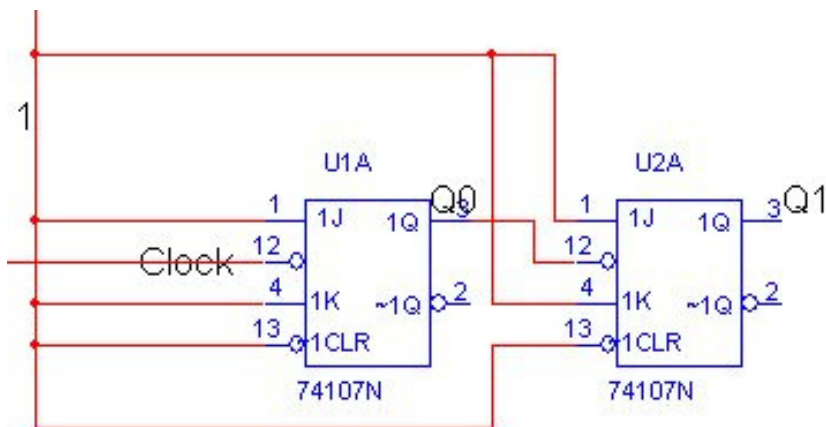


Figura 3

Q ₁	Q ₀
0	0
0	1
1	0
1	1

Figura 4

In questo caso l'uscita del nuovo stadio cambierà ogni due commutazioni dell'uscita dello stadio precedente. Chiamando Q₀ l'uscita del primo modulo e Q₁ l'uscita del nuovo modulo si otterranno le quattro combinazioni mostrate in figura 4 che tradotte in decimale corrispondono ai numeri 0, 1, 2, 3. Questo nuovo contatore sarà in grado di contare fino a quattro eventi.

Replicando questa struttura sarà possibile realizzare contatori per 8, 16, 32 e così via.

I contatori visti sono detti contatori binari in quanto le loro uscite corrispondono ad un numero binario fino ad un massimo di N-1, dove N corrisponde al numero di FF impiegati, e con un modulo (numero di stati ovvero numero di eventi contati) pari a 2^N.

Contatori programmabili

A questo punto occorre vedere come è possibile svincolarsi da un modulo pari ad una potenza di 2, ovvero come realizzare un contatore con un modulo qualsiasi.

Occorre quindi dimensionare il numero degli stadi del contatore e fare in modo che il conteggio riparta da zero dopo lo stato M-esimo del contatore (numero M-1). I contatori così realizzati vengono detti programmabili.

Dimensionamento del numero di stadi

Detto M il modulo del contatore da realizzare e N il numero degli stadi del contatore, mediante il quale è possibile rappresentare come massimo numero 2^N - 1, osserviamo che dovrà risultare:

$$M \leq 2^N - 1 \text{ ovvero } M + 1 \leq 2^N$$

Quindi, ricordando le proprietà dei logaritmi il numero minimo di stadi che dovrà avere un contatore di modulo M qualsiasi è dato dalla seguente formula:

$$N = \log_2(M+1)$$

Prendendo come N il più piccolo intero maggiore o uguale a log₂(M+1)

Non tutte le calcolatrici consentono di ricavare i logaritmi in base 2, mentre rendono disponibili quelli in base 10. Per questi motivi alla formula precedente si preferisce la seguente ricavabile utilizzando le proprietà dei logaritmi:

$$N = 3,322 \cdot \log_{10}(M+1)$$

Determinazione del modulo

Per arrestare il conteggio allo stato desiderato occorre realizzare una rete combinatoria con in ingresso le uscite del contatore ($Q_0, Q_1, Q_2, \dots, Q_N$) che a fronte della configurazione binaria corrispondente al numero M attivi il segnale di CLEAR (azzeramento) di ciascun FF.

Il progetto di questa rete logica potrà effettuarsi attraverso le espressioni canoniche e comprenderà una serie di porte Not e una AND (NAND se il CLEAR è attivo basso) con tanti ingressi quanti sono gli stadi del contatore. Per un esempio esplicativo si rimanda all'allegato 4.

Considerazioni finali

I contatori trattati sono definiti asincroni in quanto solo lo stadio corrispondente al bit più leggero è collegato al clock esterno, mentre gli altri sono collegati all'uscita del modulo precedente.

Questa configurazione è caratterizzata da un ritardo di propagazione del clock legato ai tempi di commutazione di ciascun FF. Questo ritardo provoca nel contatore una serie di stati intermedi indesiderati nel passaggio da uno stato di conteggio all'altro. In particolare considerando il contatore di Figura 3 il passaggio dallo stato 11 a 00 non sarà istantaneo ma commuterà prima Q_0 , poi, dopo un tempo pari al tempo di commutazione del primo FF (che fornisce il clock ovvero il via a commutare al secondo), Q_1 . Quindi a partire da 11 si avrà per un breve istante l'uscita 10 (indesiderata) e poi finalmente l'uscita 00.

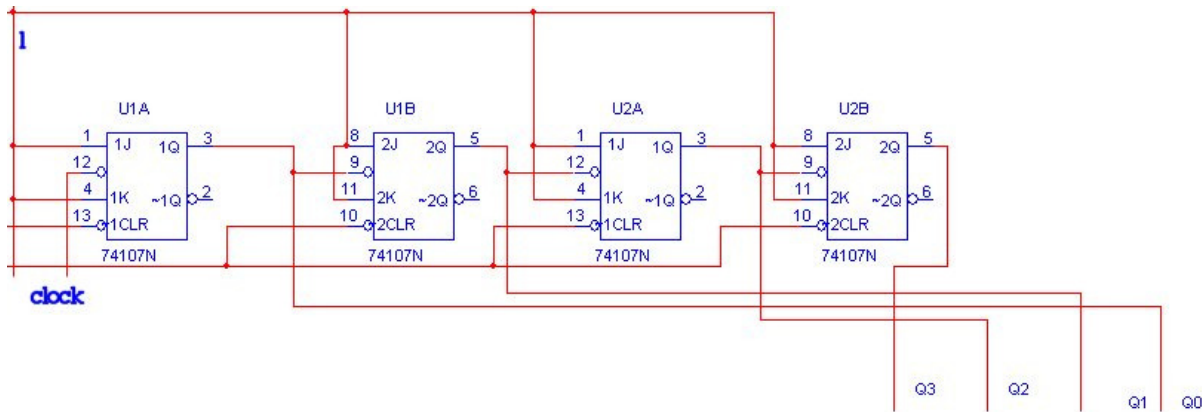
Questi ritardi poi limitano la massima frequenza di clock applicabile al contatore: nel tempo che intercorre tra due fronti successivi del clock tutti i FF devono avere avuto il tempo di commutare.

Per ovviare a questo inconveniente, per le applicazioni per le quali stati di conteggio indesiderati non sono tollerabili, occorre utilizzare dei contatori sincroni, nei quali tutti i FF sono sottoposti allo stesso clock esterno e possono commutare (quasi) contemporaneamente. Tali contatori sono più complessi da progettare.

Nel nostro caso gli stati di conteggio indesiderati provocano al massimo uno sfarfallio dei display del contapezzi, praticamente impercettibile all'occhio umano e i tempi in gioco sono assolutamente compatibili con i limiti in frequenza del contatore. Per questi motivi per la realizzazione del nostro progetto ci limitiamo alla teoria dei contatori asincroni rimandando la trattazione di quelli sincroni in una fase successiva.

REALIZZAZIONE DI UN CONTATORE BCD A PARTIRE DA UN FF-JK

Il contatore BCD ha come modulo 10 e le sue uscite corrispondono ai numeri da 0 a 9 in base due. Con riferimento alle notazioni utilizzate nell'allegato 3 per il dimensionamento del numero degli stadi M vale 9 e quindi $N = 3,322 \cdot \log_{10}(9+1) = 3,322$ quindi, prendendo il più piccolo intero maggior del risultato ottenuto, il nostro contatore dovrà avere quattro Flip Flop. Riferendoci sempre a quanto visto nell'allegato 3 lo schema risultante sarà il seguente:



A questo punto occorre la circuiteria per fare ripartire il conteggio dopo il numero 9: la configurazione da riconoscere è la 10 corrispondente a 1010 in binario. La rete combinatoria da progettare avrà la seguente tabella della verità:

Valore base 10	in	$Q_3Q_2Q_1Q_0$	CLEAR
0		0000	0
1		0001	0
2		0010	0
3		0011	0
4		0100	0
5		0101	0
6		0110	0
7		0111	0
8		1000	0
9		1001	0
10		1010	1
11		1011	-
12		1100	-
13		1101	-
14		1110	-
15		1111	-

Le configurazioni da 11 a 15 sono indeterminate perché non si presenteranno mai e per semplificare il progetto con espressioni canoniche verranno trattate come 0.

Con queste ipotesi la funzione logica svolta dalla rete combinatoria si riduce al solo mintermine 10:

$$\text{CLEAR} = Q_3 \overline{Q_2} \overline{Q_1} \overline{Q_0}$$

Poiché i FF scelti hanno un CLEAR attivo basso la funzione ricavata dovrà essere complimentata, ovvero il prodotto dovrà essere realizzato con una porta NAND a quattro ingressi anziché con una AND.

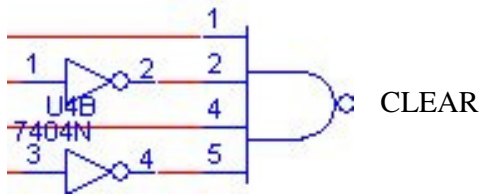
Il a rete realizzata sarà la seguente:

Q₃

Q₂

Q₁

Q₀



Tale rete potrà essere utilizzata anche in combinazione ad un contatore binario a modulo 16 per trasformarlo in BCD nell'ipotesi di avere un segnale CLEAR attivo basso.